

JAPANESE PATENT OFFICE  
PATENT JOURNAL (A)  
KOKAI PATENT APPLICATION NO. HEI 9[1997]-270707

Int. Cl.:	H 03 M 1/68 H 03 L 7/08 H 03 M 1/70
Filing No.:	Hei 8[1996]-81395
Filing Date:	April 3, 1996
Publication Date:	October 14, 1997
No. of Claims:	3 (Total of 7 pages; OL)
Examination Request:	Not filed

DIGITAL/ANALOG CONVERTER AND CONTROL DEVICE USING THIS CONVERTER

Inventor:	Yasunori Noguchi Rome K.K. 21 Nishiendobusaki-cho, Ukyo-ku, Kyoto-shi, Kyoto-fu
Applicant:	000116024 Rome K.K. 21 Nishiendobusaki-cho, Ukyo-ku, Kyoto-shi, Kyoto-fu
Agent:	Shizuo Sano, patent attorney

[There are no amendments to this patent.]

Abstract

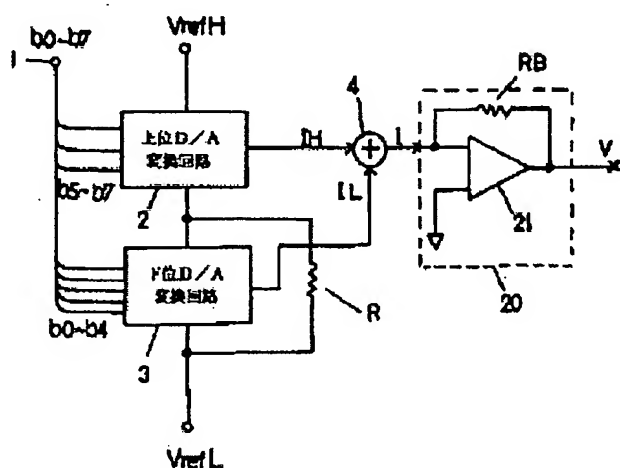
Objective

To provide a segment type digital/analog converter at low cost and with high control accuracy, and a highly accurate control device using this converter.

Best Available Copy

Means to solve

Digital data having plural bits b0-b7 are divided into two or more segments. Digital/analog converting means 2, 3 for the segments are used to perform digital/analog conversion for the digital data of each of the aforementioned segments. The outputs of converting means 2, 3 are synthesized. For converting means 2, 3, the differential nonlinear error is within 1 LSB. The full scale of converting means 2 is greater than or equal to a value calculated by dividing the full scale of converting means 3 provided for the segment including the bit that is one order higher than the most significant bit of the other segment by  $2^n$  (here, n is the number of bits of the segment, which is 3).



Key: 2 Upper D/A converting circuit  
3 Lower D/A converting circuit

### Claims

1. A digital/analog converter characterized by the following facts: digital data having plural bits are divided into two or more segments; a digital/analog converting means for segments is used to perform digital/analog conversion for the digital data of each of the aforementioned segments; the outputs of the aforementioned digital/analog converting means for the segments are synthesized; in this digital/analog converter,

for the aforementioned digital/analog converting means for segments, the differential nonlinear error is within 1 LSB; the full scale of the aforementioned digital/analog converting means for segments is greater than or equal to a value calculated by dividing the full scale of the aforementioned digital/analog converting means for segments provided for the segment including the bit one order higher than the most significant bit of the other segment by  $2^n$  (here, n is the number of bits of the segment).

2. A control device characterized by the fact that it uses a comparison means to compare the output of the digital/analog converter described in Claim 1 with a reference signal and controls the aforementioned digital/analog converter based on the comparison output.

3. A control device characterized by the following facts: a voltage-control oscillator is connected to the digital/analog converter described in Claim 1; the oscillation frequency of the aforementioned voltage-control oscillator is compared with a reference frequency using a phase comparison means; the aforementioned digital/analog converter is controlled based on the comparison output; in this way, the aforementioned voltage-control oscillator is controlled.

#### Detailed explanation of the invention

[0001]

##### Industrial application field

The present invention pertains to a segment type digital/analog converter (referred to as a D/A converter hereinafter). In particular, the present invention pertains to a D/A converter that can effectively maintain its output consistent with a prescribed reference value, and to a control device using the aforementioned D/A converter.

[0002]

##### Prior art

A conventional segment type D/A converter will be explained based on Figures 6 and 7. Figure 7 is the block diagram of the conventional D/A converter. Digital data having the 8 bits b0-b7 are input from input terminal 1. b0 is the least significant bit, and b7 is the most significant bit. The digital data having the 8 bits b0-b7 are divided into two segments of the lower bits b0-b4 and upper bits b5-b7.

[0003]

The upper bits b5-b7 are sent to upper D/A converting circuit 2. The lower bits b0-b4 are sent to lower D/A converting circuit 3. In this case, D/A converting circuits 2, 3 convert the input digital data into analog currents. For example, plural transistors are used as constant current sources. The currents corresponding to the input digital data are output from the constant current sources, added, and finally output.

[0004]

Upper D/A converting circuit 2 is connected to the constant voltage  $V_{refH}$  on the high voltage side. Lower D/A converting circuit 3 is connected to upper D/A converting circuit 2. Lower D/A converting circuit 3 is connected to the constant voltage  $V_{refL}$  on the low voltage

side. A resistor RA is connected in parallel with lower D/A converting circuit 3. Resistor RA will be explained later.

[0005]

Power is supplied to upper and lower D/A converting circuits 2, 3 by constant voltages  $V_{refH}$ ,  $V_{refL}$ , and these converting circuits perform D/A conversion for the input digital data. Upper D/A converting circuit 2 outputs current  $I_H$  corresponding to the data represented by upper bits b5-b7. Lower D/A converting circuit 3 outputs current  $I_L$  corresponding to the data represented by lower bits b0-b4. Currents  $I_H$  and  $I_L$  are synthesized by current synthesizer 4 to obtain current  $I$ .

[0006]

Current  $I$  is sent to integrator 20. Integrator 20 converts current  $I$  into voltage  $V$ . Integrator 20 is comprised of operational amplifier 21 and feedback resistor  $R_B$ , and outputs voltage  $V$  as the product of current  $I$  and resistance  $R_B$ . D/A converting circuits 2, 3 can be constituted with almost the same resistors or elements. Consequently, when segment type D/A converters are integrated, integration becomes easy because of the low deviation of the elements in the integrated circuit.

[0007]

When the current  $I_L$  output from lower D/A converting circuit 3 and current  $I_H$  output from upper D/A converting circuit 2 are synthesized, the voltage applied to lower D/A converting circuit 3 is adjusted in order to match the aforementioned 8-bit digital data of b0-b7. Resistance RA is set such that the result of adding 1 LSB to the full scale of current  $I_L$  is consistent with the result of dividing the full scale of current  $I_H$  by 2-cubed (that is, 8).

[0008]

In this case, 1 LSB is the result of deriving a value equivalent to the change of current when the digital data changes by 1, under the assumption that the current is output continuously from the full scales of currents  $I_H$ ,  $I_L$ . In lower D/A converting circuit 3, since there are five lower bits b0-b4, 1 LSB is the result of dividing the full scale of current  $I_L$  by the fifth power of 2 (that is, 32). In upper D/A converting circuit 2, there are three upper bits b5-b7. Taking into consideration the fact that there are five lower bits b0-b4, 1 LSB is the result of dividing the full scale of current  $I_H$  by the eighth power of 2 (that is, 256). When the current is converted to voltage  $V$  by integrator 20, 1 LSB has the same definition.

[0009]

On the other hand, the result of dividing the full scale of current  $I_H$  output from upper D/A converting circuit 2 by 2-cubed (that is, 8) is the result of deriving a value equivalent to the change in the output of D/A converter 3 when the least significant bit  $b_5$  among the upper bits  $b_5$ - $b_7$  has a change of 1 from the full scale of current  $I_H$  output from D/A converting circuit 2.

[0010]

Figure 6 is the characteristic diagram of the output of the aforementioned D/A converter. When the input digital data is 0 (00000000 in binary), neither upper D/A converting circuit 3 nor lower D/A converting circuit 2 outputs current, and there is no current  $I$ . In other words, the output voltage  $V$  is 0. When the digital data is increased increments of 1 from 0, lower bits  $b_0$ - $b_4$  change as long as the data is 31 or less, and current  $I_L$  is increased by lower D/A converting circuit 3. There is no change in the upper bits  $b_5$ - $b_7$ . Current  $I_L$  becomes current  $I$ . If lower D/A converting circuit 3 has good linearity, the relationship between digital data and current  $I$  becomes straight line 51.

[0011]

When the digital data is 31, the lower bits  $b_0$ - $b_4$  input into lower D/A converting circuit 3 all become 1 (11111 in binary), and the upper bits  $b_5$ - $b_7$  are all 0. When 1 is added to that digital data, since the binary number is carried, all the lower bits  $b_0$ - $b_4$  input into lower D/A converting circuit 3 become 0 (00000 in binary). Among the upper bits  $b_5$ - $b_7$  input into upper D/A converting circuit 2, only the least significant bit  $b_5$  becomes 1 (001 in binary).

[0012]

At that time, lower bits  $b_0$ - $b_4$  are inverted and upper bits  $b_5$ - $b_7$  are added for output voltage  $V$ . Usually, resistance  $R_A$  varies, and output voltage  $V$  becomes non-continuous as shown at 52. Also, as the digital data is increased, all the lower bits  $b_0$ - $b_4$  will be inverted, and discontinuities 53, 54 tend to occur in the same way. The point at which all the lower bits  $b_0$ - $b_4$  are inverted is the switching point of the segments.

[0013]

Problems to be solved by the invention

As described above, even if D/A converting circuits 2, 3 for each segment have good linearity, since resistance  $R_A$  usually varies, the output tends to become discontinuous at the switching point of each segment. The maximum difference between the ideal output voltage  $V$  and the actual output is called the differential nonlinear error. Even if the differential nonlinear

error in each segment is 1 LSB or less, it will exceed 1 LSB at the switching point of the segments. In particular, when output voltage  $V$  varies significantly in the positive direction at segment-switching point 53 shown in Figure 6, even if the voltage is controlled during the change, it is not possible to obtain a suitable output voltage  $V$ .

[0014]

Consequently, it is difficult to use a segment type D/A converter for a device that requires highly accurate control. In order to perform highly accurate control, it is necessary to use a highly accurate D/A converter with a differential nonlinear error within 1 LSB. Such a converter is expensive, however, and will increase the cost of the control device.

[0015]

The purpose of the present invention is to solve the aforementioned problem by providing a segment type D/A converter with low cost and high control accuracy as well as a control device using such a D/A converter.

[0016]

Means for solving the problems

In order to realize the aforementioned purpose, the first configuration of the present invention provides a digital/analog converter characterized by the following facts: digital data having plural bits are divided into two or more segments; a digital/analog converting means for segments is used to perform digital/analog conversion for the digital data of each of the aforementioned segments; the outputs of the aforementioned digital/analog converting means for the segments are synthesized; in this digital/analog converter, for the aforementioned digital/analog converting means for segments, the differential nonlinear error is within 1 LSB; the full scale of the aforementioned digital/analog converting means for segments is greater than or equal to a value calculated by dividing the full scale of the aforementioned digital/analog converting means for segments set up for the segment including the bit one order higher than the most significant bit of the other segment by  $2^n$  (here,  $n$  is the number of bits of the segment).

[0017]

According to this configuration, digital data having plural bits are divided into two or more segments. The digital/analog converting means provided for each segment performs digital/analog conversion for each segment. The differential nonlinear error of the digital/analog converting means for each segment is within 1 LSB.

[0018]

The full scale of the digital/analog converting means for each segment is greater than or equal to a value calculated by dividing the full scale of the digital/analog converting means for segments provided for the segment including the bit one order higher than the most significant bit of the segment by  $2^n$  (here,  $n$  is the number of bits of the segment). In this way, the differential nonlinear error of the digital/analog converter is kept within 1 LSB in the positive direction.

[0019]

A large error may also occur in the negative direction. However, since the error in the positive direction is less than 1 LSB, when the converter is used for a control to match a certain reference voltage, the voltage output from digital/analog converter can be controlled at an accuracy within 1 LSB. Since deviation in the negative direction is not restricted, it is unnecessary to perform fine adjustments to match the current output by the digital/analog converter for segments. The cost is therefore low.

[0020]

In the second configuration of the present invention, the output of the digital/analog converter with the aforementioned first configuration is compared with a reference signal by a comparison means, and the aforementioned digital/analog converter is controlled based on the comparison output.

[0021]

According to this configuration, the output of the digital/analog converter is compared with a reference signal by a comparison means. The aforementioned digital/analog converter is controlled based on the comparison output. As a result of this control, the output of the digital/analog converter is maintained at the same value as the reference signal.

[0022]

Since the differential nonlinear error of the digital/analog converter is less than 1 LSB in the positive direction, the output can be constantly controlled at an accuracy within 1 LSB of the set output value. A highly accurate control device can be obtained in this way.

[0023]

In the third configuration of the present invention, a voltage-control oscillator is connected to the digital/analog converter with the aforementioned first configuration. The

oscillation frequency of the aforementioned voltage-control oscillator is compared with a reference frequency by a phase-comparison means. The aforementioned digital/analog converter is controlled based on the comparison output. The aforementioned voltage-control oscillator is controlled in this way.

[0024]

According to this configuration, the output of the digital/analog converter is input into the voltage-control oscillator. The voltage-control oscillator can control frequency depending on the voltage output from the digital/analog converter. The oscillation frequency is increased along with the voltage.

[0025]

The oscillation frequency and the reference frequency are compared by a phase comparison means. If the oscillation frequency is different from the reference frequency, the output of the digital/analog converter is changed to make the oscillation frequency of the voltage-control oscillator approach the reference frequency. On the other hand, if the oscillation frequency is the same as the reference frequency, the oscillation frequency is fixed. In this way, the oscillation frequency can be kept the same as the reference frequency.

[0026]

Embodiment of the invention

<First embodiment>

The first embodiment of the present invention will be explained based on Figures 1 and 2. Figure 1 is a block diagram illustrating an embodiment of the D/A converter disclosed in the present invention. Since it has the same configuration as the conventional example shown in Figure 7 except for the resistance of resistor R, the same parts as those of the aforementioned conventional D/A converter (Figure 7) are represented by the same symbols, respectively, and will not be explained again. Upper D/A converting circuit 2 performs D/A conversion for the three upper bits b5-b7, while lower D/A converting circuit 3 converts the five lower bits b0-b4. However, it is also possible to change the number of bits subjected to the D/A conversion performed by D/A converting circuits 2 and 3.

[0027]

The digital data can also be divided into 3 or more segments. Also, the number of bits of digital data is not limited to 8. The differential nonlinear error is within 1 LSB for both upper D/A converting circuit 2 and lower D/A converting circuit 3.



[0028]

In the conventional example, as described above, resistance RA adds 1 LSB to the full scale of the current IL output from lower D/A converting circuit 3. It is set to be consistent with the current change when the least significant bit b5 of upper D/A converting circuit 2 is changed by 1. On the other hand, in this embodiment, the full scale of lower D/A converting circuit 3 is greater than or equal to a value calculated by dividing the full scale of upper D/A converting circuit 2 by 2 raised to a power equal to the number of upper bits b5-b7 (that is, 8, as the cube of 2).

[0029]

Figure 2 is the characteristic diagram of the D/A conversion of the D/A converter disclosed in this embodiment. If the input digital data is 0, neither upper D/A converting circuit 2 nor lower D/A converting circuit 3 has current output, and there is no current I. In other words, the output voltage is 0. When the digital data is increased 1 at a time from 0, lower bits b0-b4 change as long as the data is less than 31, and current IL corresponding to the digital data is output by lower D/A converting circuit 3. There is no change in the upper bits b5-b7, and there is no current IH. Current IL becomes current I. If lower D/A converting circuit 3 has good linearity, the relationship between digital data and current I becomes straight line 11.

[0030]

At segment-switching point 12, the full scale of lower D/A converting circuit 3 becomes greater than or equal to a value calculated by dividing the full scale of upper D/A converting circuit 2 by 2-cubed (that is, 8). As a result, the output current I becomes smaller or larger. The difference is within 1 LSB. Similarly, at segment-switching points 13, 14, the output voltage V of the D/A converter rises or drops. However, the output difference will not exceed 1 LSB.

[0031]

As described above, the differential nonlinear error in the positive direction of the D/A converter of the present invention is within 1 LSB in any part. Since the differential nonlinear error in the positive direction is within 1 LSB, the output voltage V can be kept within 1 LSB from the reference voltage.

[0032]

Also, since it is permissible to have a large error in the negative direction, resistance R can be set with a certain tolerance. Therefore, it is unnecessary to finely adjust resistance R, so

that an inexpensive D/A converter can be obtained. With regard to integration, integrator 20 can be built in or attached to the integrated circuit.

[0033]

<Second embodiment>

The second embodiment of the present invention will be explained based on Figure 3. Figure 3 is a block diagram illustrating an embodiment of the automatic control device using D/A converter 22 disclosed in the present invention. This control device can automatically set the voltage output from D/A converter 22 by providing reference voltage  $V_a$  from reference voltage source 5. The differential nonlinear error in any part of D/A converter 22 is within 1 LSB in the positive direction.

[0034]

The digital data output from D/A data-increasing/decreasing unit 10 are subjected to D/A conversion conducted by D/A converter 22, which outputs voltage  $V$ . Said voltage  $V$  is converted into a digital signal by A/D converter 8 and is then input to comparator 9. Reference voltage  $V_a$  is also subjected to A/D conversion conducted by A/D converter 6, and is then input to comparator 9.

[0035]

Comparator 9 compares voltage  $V$  with reference voltage  $V_a$  to determine whether voltage  $V$  is higher than, lower than, or the same as reference voltage  $V_a$ . If it is found by comparator 9 that voltage  $V$  is lower than reference voltage  $V_a$ , D/A data-increasing/decreasing unit 10 increases the output digital data by 1. If voltage  $V$  is higher than reference voltage  $V_a$ , D/A data-increasing/decreasing unit 10 decreases the digital data by 1. If signal  $V$  is the same as reference voltage  $V_a$ , the digital data is not changed, and D/A data-increasing/decreasing unit 10 keeps the original value.

[0036]

For example, the initial data of D/A data-increasing/decreasing unit 10 is 0, and reference voltage  $V_a$  is set to a positive value. In this case, since the output voltage of D/A converter 11 is 0, comparator 9 finds that reference voltage  $V_a$  is higher. Therefore, D/A data-increasing/decreasing unit 10 increases the digital data by 1. The digital data becomes 1. D/A converter 22 outputs voltage  $V$ . If voltage  $V$  is still lower than reference voltage  $V_a$ , comparator 9 will find that  $V_a$  is higher than  $V$ , and D/A data-increasing/decreasing unit 10 will increase the

digital data continuously. The digital data will be increased until it is equal to or exceeds reference voltage  $V_a$ .

[0037]

If output voltage  $V$  is consistent with reference voltage  $V_a$ , voltage  $V$  is fixed at  $V_a$ . If they are not the same and output voltage  $V$  is higher than reference voltage  $V_a$ , D/A data-increasing/decreasing unit 10 vibrates the digital data near data 16 [sic]. However, since the differential nonlinear error is within 1 LSB, the change in output voltage  $V$  is small. Also, control is performed independent of the initial digital data output from D/A data-increasing/decreasing unit 10.

[0038]

In this way, highly accurate control to reference voltage  $V_a$  can be realized even without using a high-performance D/A converter. The output changes significantly at segment-switching points 12-14 (see Figure 2). However, since the error is kept within the range of 1 LSB when output voltage  $V$  is controlled to match reference voltage  $V_a$ , this poses no problem.

[0039]

It is also possible to properly process and control the data subjected to A/D conversion conducted by A/D converters 6, 8. For example, when reference voltage  $V_a$  subjected to A/D conversion conducted by A/D converter 6 is converted to data increased several-fold, it is possible to control output voltage  $V$  of D/A converter 22 with a low reference voltage  $V_a$ . Also, instead of using voltage  $V_a$  as the reference for control, a current can be used as long as it can be converted into a digital signal. It is also possible to use a digital signal directly.

[0040]

<Third embodiment>

The third embodiment of the present invention is shown in Figure 4. The third embodiment is also an automatic control device using D/A converter 22. In Figure 4, the same parts as those shown in Figure 3 are represented by the same symbols, respectively, and will not be explained again. The output voltage  $V$  of D/A converter 22 is input to comparator 14. Comparator 14 compares the voltage  $V_a$  of reference voltage source 5 with voltage  $V$ .

[0041]

If  $V$  is higher than  $V_a$ , the output of comparator 14 becomes high level, and the digital data of counter 15 is increased by 1. As a result, the voltage  $V$  output from D/A converter 22 is

increased. The digital data is increased until voltage  $V$  exceeds reference voltage  $V_a$ . When voltage  $V$  exceeds reference voltage  $V_a$ , the output of comparator 14 becomes low level, and the output of the digital data of counter 15 is kept constant.

[0042]

As a result, the voltage  $V$  output from D/A converter 22 is kept constant, and a constant voltage  $V$  is applied to load 12. However, since counter 15 is controlled only in the direction of incrementing the digital data output, when a reset signal is input, the digital data becomes 0. The digital data of counter 15 is first reset to 0 by the reset signal, and then the control is started. In this way, the voltage  $V$  output from D/A converter 22 can be adjusted to reference voltage  $V_a$  by being increased little by little.

[0043]

If D/A converter 22 used in this case is the conventional D/A converter shown in Figure 7, the output voltage  $V$  immediately before the segment-switching point 53 is just a little lower than reference voltage  $V_a$ . When the digital data is then increased by 1, since the output voltage  $V$  undergoes a large deviation in the positive direction, output voltage  $V$  is fixed at a level far from reference voltage  $V_a$ . The control accuracy becomes poor.

[0044]

However, when D/A converter 22 of the present invention is used, the deviation in the positive direction is within 1 LSB at segment-switching points 12-14, as shown in Figure 2. There is a large deviation in the negative direction at segment-switching points 12-14. Immediately before these segment-switching points, output voltage  $V$  is only a little lower than reference voltage  $V_a$ . Even if the digital data is increased by 1, output voltage  $V$  is still lower than reference voltage  $V_a$ . Since the linearity to the next segment-switching point is good, output voltage  $V$  is fixed at a level close to reference voltage  $V_a$ .

[0045]

The control device of the present invention can control with high accuracy even without using an expensive D/A converter. The cost is therefore low. The control device disclosed in this embodiment can be used as the automatic voltage-adjusting circuit for band-pass filters or other voltage-control filters. Also, when a voltage divider (not shown in the figure) is used to divide voltage  $V$  before inputting it to comparator 14, the value of reference voltage  $V_a$  can be reduced, and voltage  $V$  can be controlled. Also, when reference voltage  $V_a$  is divided by a voltage divider (not shown in the figure), a low voltage  $V$  can be controlled by reference voltage  $V_a$ .

[0046]

<Fourth embodiment>

The fourth embodiment of the present invention will be explained based on Figure 5. In Figure 5, the same parts as those shown in Figure 3 are represented by the same symbols, respectively, and will not be explained again. Voltage-control oscillator (VCO) 19 can control a frequency with a voltage. The oscillation frequency is increased along with the voltage. First, a reset signal is input to counter 18.

[0047]

As a result, counter 18 outputs the minimum value of the digital data. D/A converter 22 outputs the lowest voltage  $V$ . The minimum value of the digital data is set such that voltage-control oscillator 19 oscillates at the lowest frequency  $F_{out}$ . Oscillation frequency  $F_{out}$  is input to phase comparator 17.

[0048]

Phase comparator 17 compares the reference frequency  $F_{ref}$  of reference oscillator 16 with the oscillation frequency  $F_{out}$  of voltage-control oscillator 19. If  $F_{ref}$  is higher than  $F_{out}$ , 1 pulse is generated. When this impulse is input to counter 18, the digital data is increased by 1. In this way, the voltage  $V$  output from D/A converter 22 is increased, and the oscillation frequency  $F_{out}$  of voltage-control oscillator 19 is increased.

[0049]

As described above,  $F_{out}$  is gradually increased from the lowest oscillation frequency. When it becomes equal to  $F_{ref}$  or higher than  $F_{ref}$ , phase comparator 17 stops generation of the pulse, and frequency  $F_{out}$  is fixed. In the same way as described in the aforementioned third embodiment, the oscillation frequency will not be fixed at a level far from reference frequency  $F_{ref}$ . Frequency  $F_{out}$  is fixed at a level close to reference frequency  $F_{ref}$ .

[0050]

The control device disclosed in this embodiment is a type of PLL (phase locked loop). It can be used as the oscillator of the audio carrier for a Hi-Fi VCR. Consequently, using the inexpensive D/A converter disclosed in the present invention enables controlling voltage-control oscillator 19 with the same accuracy as that realized when using an expensive D/A converter.

[0051]

Effects of the invention

<Effect of Claim 1>

A D/A converting means with differential nonlinear error within 1 LSB is used for each segment of the D/A converter. The full scale of each segment is greater than or equal to a value calculated by dividing the full scale of the D/A converter of the upper segment by 2 raised to a power equal to the number of bits of that segment. In this way, the differential nonlinear error of the D/A converter is kept within 1 LSB in the positive direction. Since the deviation in the positive direction is small, highly accurate control can be performed. Also, since it is only necessary to eliminate deviation in the positive direction, the D/A converter becomes inexpensive.

[0052]

<Effect of Claim 2>

Since the D/A converter is inexpensive, the cost of the control device can be reduced. Since the differential nonlinear error of the D/A converter is within 1 LSB in the positive direction, a highly accurate control device can be obtained if the output of the D/A converter is controlled with respect to a reference signal.

[0053]

<Effect of Claim 3>

Since the D/A converter is inexpensive, the cost of a frequency control device for a voltage-control oscillator can be reduced. Since the differential nonlinear error of the D/A converter is within 1 LSB in the positive direction, the frequency output from the voltage-control oscillator can be controlled with high accuracy with respect to a reference frequency.

#### Brief description of the figures

Figure 1 is a block diagram of the D/A converter disclosed in the first embodiment of the present invention.

Figure 2 is a characteristic diagram for said D/A converter.

Figure 3 is a block diagram of the control device disclosed in the second embodiment of the present invention.

Figure 4 is a block diagram of the control device disclosed in the third embodiment of the present invention.

Figure 5 is a block diagram of the control device disclosed in the fourth embodiment of the present invention.

Figure 6 is a characteristic diagram for a conventional D/A converter.

Figure 7 is a block diagram of that conventional D/A converter.

#### Explanation of symbols

- 2 Upper D/A converting circuit
- 3 Lower D/A converting circuit
- 4 Current synthesizer
- 5 Reference voltage source
- 9 Digital signal comparator
- 16 Reference oscillator
- 17 Phase controller
- 15 Counter
- 19 Voltage-control oscillator
- 20 Integrator
- 21 Operational amplifier
- 22 D/A converter
- R Resistor

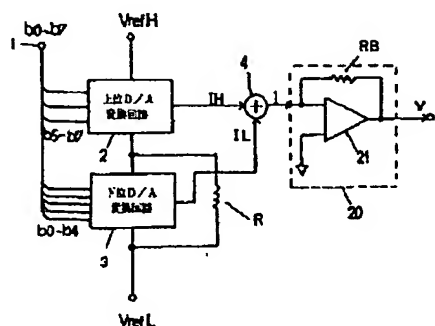


Figure 1

- Key: 2 Upper D/A converting circuit  
 3 Lower D/A converting circuit

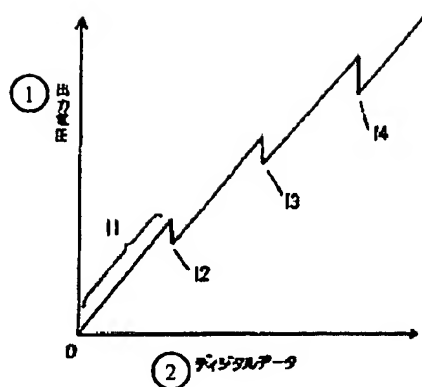


Figure 2

Key: 1 Output voltage  
2 Digital data

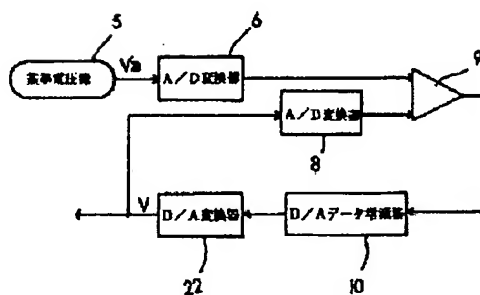


Figure 3

Key: 5 Reference voltage source  
6 A/D converter  
8 A/D converter  
10 D/A data-increasing/decreasing unit  
22 D/A converter



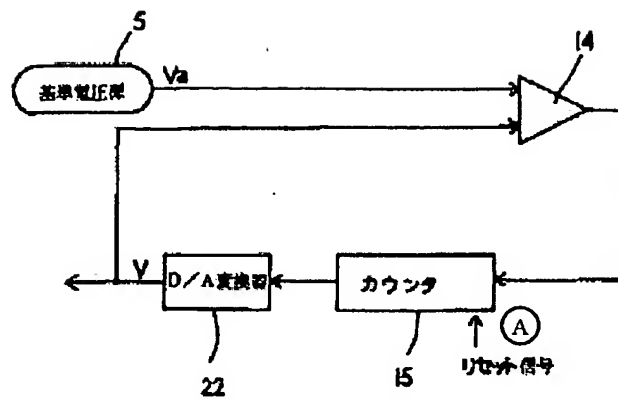


Figure 4

Key: A     Reset signal  
 5     Reference voltage source  
 15     Counter  
 22     D/A converter

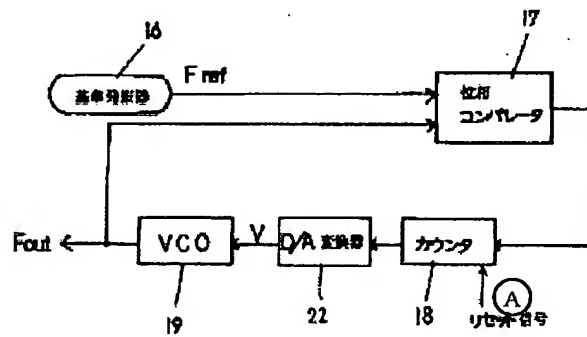


Figure 5

Key: A     Reset signal  
 16     Reference oscillator  
 17     Phase controller  
 18     Counter  
 22     D/A converter

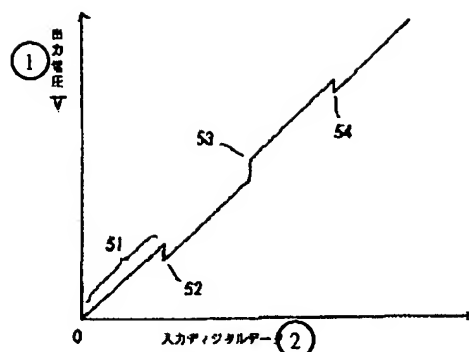


Figure 6

Key: 1 Output voltage V  
2 Input digital data

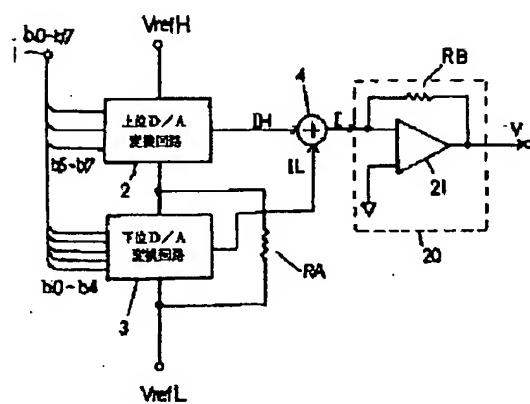


Figure 7

Key: 2 Upper D/A converting circuit  
3 Lower D/A converting circuit



RALPH  
MC ELROY TRANSLATION  
COMPANY

April 19, 2005

Re: 7037-102528

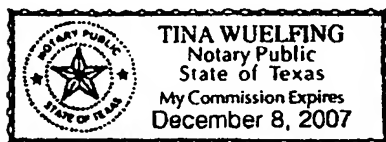
To Whom It May Concern:

This is to certify that a professional translator on our staff who is skilled in the Japanese language translated the enclosed Japanese Kokai Patent Application No. Hei 9[1997]-270707 from Japanese into English.

We certify that the attached English translation conforms essentially to the original Japanese language.

Kim Vitray  
Operations Manager

Subscribed and sworn to before me this 19th day of April, 2005.



Tina Wuelfing  
Notary Public

EXCELLENCE WITH A SENSE OF URGENCY®

910 WEST AVE.  
AUSTIN, TEXAS 78701  
[www.mcelroytranslation.com](http://www.mcelroytranslation.com)



(512) 472-6753  
1-800-531-9977  
FAX (512) 472-4591

Japanese Kokai Patent Application No. Hei 9[1997]-270707

---

Job No.: 7037-102528

Ref.: JP09270707A

Translated from Japanese by the Ralph McElroy Translation Company  
910 West Avenue, Austin, Texas 78701 USA

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-270707

(43)公開日 平成9年(1997)10月14日

(51)Int.Cl.<sup>8</sup>

識別記号

F I

H03M 1/68

H03M 1/68

H03L 7/08

1/70

H03M 1/70

H03L 7/08

Z

審査請求 未請求 請求項の数3 O L (全7頁)

(21)出願番号 特願平8-81395

(22)出願日 平成8年(1996)4月3日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 野口 康則

京都市右京区西院溝崎町21番地 ローム株式会社内

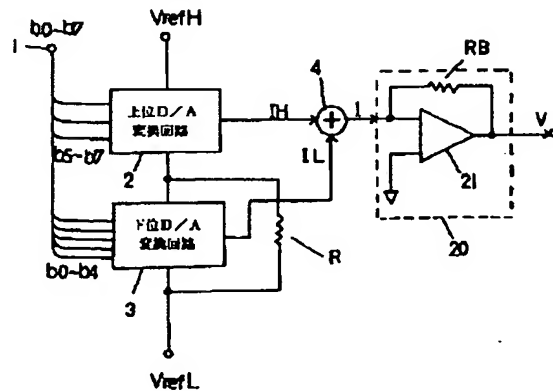
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 デジタル／アナログ変換器及びそれを用いた制御装置

(57)【要約】

【課題】 低コストなセグメント方式のデジタル／アナログ変換器である。制御の精度が高いデジタル／アナログ変換器とそれを用いた高精度な制御装置を提供する。

【解決手段】 複数ビット  $b_0 \sim b_7$  のデジタルデータを2つ以上に分割してセグメントを成す。前記各セグメントのデジタルデータをデジタル／アナログ変換するセグメント用デジタル／アナログ変換手段2、3を設ける。変換手段2、3の出力を合成する。変換手段2、3は、微分非直線性誤差が1LSB以内である。変換手段2のフルスケールは、そのセグメントの最上位ビットから1つ上位のビットを含むセグメントに設けられた変換手段3のフルスケールを、 $2^n$ （ただし、 $n$ はセグメントのビット数、3）で割った値以上としている。



## 【特許請求の範囲】

【請求項1】 複数ビットのデジタルデータを2つ以上に分割してセグメントを成し、前記各セグメントのデジタルデータをデジタル/アナログ変換するセグメント用デジタル/アナログ変換手段を設け、前記各セグメント用デジタル/アナログ変換手段の出力を合成するセグメント方式のデジタル/アナログ変換器において、

前記セグメント用デジタル/アナログ変換手段は、微分非直線性誤差が1LSB以内であり、前記セグメント用デジタル/アナログ変換手段のフルスケールは、そのセグメントの最上位ビットから1つ上位のビットを含むセグメントに設けられた前記セグメント用デジタル/アナログ変換手段のフルスケールを、 $2^n$ （ただし、 $n$ はセグメントのビット数）で割った値以上であることを特徴とするデジタル/アナログ変換器。

【請求項2】 請求項1に記載のデジタル/アナログ変換器の出力と、基準信号を比較手段で比較し、その比較出力で前記デジタル/アナログ変換器を制御することを特徴とする制御装置。

【請求項3】 請求項1に記載のデジタル/アナログ変換器に電圧制御発振器が接続され、前記電圧制御発振器が発振する周波数と基準周波数を位相比較手段で比較し、その比較出力で前記デジタル/アナログ変換器を制御し、それによって前記電圧制御発振器を制御することを特徴とする制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はセグメント方式のデジタル/アナログ変換器（以下、「D/A変換器という）に関し、特にその出力が所定の基準値に合致するように制御するのに有効なD/A変換器及びそのD/A変換器を用いた制御装置に関する。

## 【0002】

【従来の技術】従来のセグメント方式のD/A変換器を図6及び図7を用いて説明する。図7は従来のD/A変換器のブロック図である。入力端子1より、8ビットb0～b7のデジタルデータを入力する。b0が最下位ビットであり、順番に位取りをしてb7が最上位ビットである。8ビットb0～b7のデジタルデータを下位ビットb0～b4と上位ビットb5～b7の2つのセグメントに分割する。

【0003】上位ビットb5～b7は上位D/A変換回路2に伝送される。下位ビットb0～b4は下位D/A変換回路3に伝送される。ここで、D/A変換回路2、3は入力されたデジタルデータをアナログの電流に変換するようになっている。例えば、トランジスタを定電流源として複数設け、入力されたデジタルデータに対応する電流を定電流源から取り出して加算して出力する。

【0004】上位D/A変換回路2は高電圧側の定電圧VrefHに接続されている。上位D/A変換回路2に下位D/A変換回路3が接続されている。下位D/A変換回路3は低電圧側の定電圧VrefLに接続されている。下位D/A変換回路3に抵抗RAが並列に接続されている。抵抗RAの説明は後述する。

【0005】上位、下位D/A変換回路2、3は定電圧VrefH、VrefLによって電力が供給され、それぞれ入力されたデジタルデータをD/A変換する。上位D/A変換回路2は上位ビットb5～b7で表されるデータに対応する電流IHを出力する。下位D/A変換回路3は、下位ビットb0～b4で表されるデータに対応する電流ILを出力する。電流IH、ILは電流合成器4で合成されて電流Iになる。

【0006】電流Iは積分器20に送られる。積分器20は電流Iを電圧Vに変換する。積分器20は演算増幅器21と帰還抵抗RBから成り、電流Iと抵抗RBの積の電圧Vを出力する。D/A変換回路2、3は互いに同程度の抵抗や素子で構成できる。そのため、セグメント方式のD/A変換器は集積化するとき、集積回路内部の素子のばらつきが低減されるので集積化しやすい。

【0007】下位D/A変換回路3が出力する電流ILと上位D/A変換回路2が出力する電流IHを合成したときに上述の8ビットb0～b7のデジタルデータに整合するように、抵抗RAによって下位D/A変換回路3に印加する電圧を調節している。抵抗RAは電流ILのフルスケールに1LSBを加えたものが、電流IHのフルスケールを2の3乗（即ち、8）で割ったものに一致するように設定されている。

【0008】ここで、1LSBというのは、それぞれ電流IH、ILのフルスケールから、電流が連続的に出力すると考えて、デジタルデータが1変化したときの電流の変化に相当する値を求めたものである。下位D/A変換回路3では、下位ビットb0～b4が5ビットであるので、1LSBは電流ILのフルスケールを2の5乗（即ち、32）で割ったものになる。上位D/A変換回路2では、上位ビットb5～b7が3ビットあり、下位ビットb0～b4が5ビットあることを考慮すると、1LSBは電流IHのフルスケールを2の8乗（即ち、256）で割ったものになる。また、その電流を積分器20で電圧Vに変換した場合も、同様に1LSBということにする。

【0009】一方、上位D/A変換回路2が出力する電流IHのフルスケールを2の3乗（即ち、8）で割ったものは、D/A変換回路2が出力する電流IHのフルスケールから上位ビットb5～b7の中で最下位のビットb5が1変化したときのD/A変換器3出力の変化に相当する値を求めたものである。

【0010】このD/A変換器の出力の特性図を図6に示す。入力デジタルデータが0（2進数で、0000

0000) のとき、上位D/A変換回路2、下位D/A変換回路3は共に、電流を出力せず、電流Iは流れない。即ち、出力電圧Vは0となる。デジタルデータを0から1ずつ増やすと、31以下であれば、下位ビットb0~b4が変化して下位D/A変換回路3によって電流ILが増加する。上位ビットb5~b7に変化はなく、電流IはILになる。下位D/A変換回路3の直線性が良好であると、デジタルデータと電流Iの関係は直線的51になる。

【0011】デジタルデータが31のとき、下位D/A変換回路3に入力される下位ビットb0~b4が全て1(2進数で、11111)であり、上位ビットb5~b7は全て0である。これに1を加えると、2進数で数値の桁が上がるので、下位D/A変換回路3に入力される下位ビットb0~b4が全て0(2進数で、00000)になる。そして、上位D/A変換回路2に入力される上位ビットb5~b7は最低ビットb5だけが1(2進数で、001)になる。

【0012】このとき、出力電圧Vは下位ビットb0~b4が反転し、上位ビットb5~b7は加算される。通常、抵抗RAがばらついており、出力電圧Vは不連続的52になりやすい。更にデジタルデータを増やすと、下位ビットb0~b4が全て反転し、同様に、不連続的53、54になりやすい。この下位ビットb0~b4が全て反転するところ、セグメントの切り換えポイントということにする。

【0013】

【発明が解決しようとする課題】このように、各セグメントのD/A変換回路2、3の直線性が良好だとしても、通常、この抵抗RAがばらついていて、各セグメントの切り換えポイントで不連続的になりやすい。理想的な出力電圧Vと実際の出力との差の最大を微分非直線性誤差と呼ぶことにすると、各セグメント内に限った場合、微分非直線性誤差が1LSB以下であったとしても、セグメントの切り換えポイントが1LSBを越えることもあった。特に図6におけるセグメント切り換えポイント53のように正方向に大きく出力電圧Vが変化すると、その変化の途中の電圧に制御しようとしても、それに適合する出力電圧Vが得られないという問題があった。

【0014】そのため、高精度な制御を必要とする装置にはセグメント方式のD/A変換器は使用に困難であった。高精度な制御を行うには微分非直線性誤差が1LSB以内である高精度なD/A変換器を用いていたが、これは高価であるため、制御装置のコストが上がっていた。

【0015】本発明は、このような課題を解決するもので、セグメント方式のD/A変換器を用いてコストを下げ、しかも制御の精度が高いD/A変換器及びそれを用いた制御装置を提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するために、本発明の第1の構成では、複数ビットのデジタルデータを2つ以上に分割してセグメントを成し、前記各セグメントのデジタルデータをデジタル/アナログ変換するセグメント用デジタル/アナログ変換手段を設け、前記各セグメント用デジタル/アナログ変換手段の出力を合成するセグメント方式のデジタル/アナログ変換器において、前記セグメント用デジタル/アナログ変換手段は、微分非直線性誤差が1LSB以内であり、前記セグメント用デジタル/アナログ変換手段のフルスケールは、そのセグメントの最上位ビットから1つ上位のビットを含むセグメントに設けられた前記セグメント用デジタル/アナログ変換手段のフルスケールを、 $2^n$ (ただし、nはセグメントのビット数)で割った値以上としている。

【0017】このような構成によると、複数ビットのデジタルデータは2つ以上のセグメントに分割される。各セグメントに設けられたデジタル/アナログ変換手段は各セグメントのデジタルデータをデジタル/アナログ変換する。各セグメント用デジタル/アナログ変換手段の微分非直線性誤差は1LSB以内である。

【0018】各セグメントのデジタル/アナログ変換手段のフルスケールは、セグメント内の最上位ビットより1つ上位のビットを含むセグメントに設けられたセグメント用デジタル/アナログ変換手段のフルスケールを $2^n$ (ただし、nはセグメントのビット数)で割った値以上となっている。これより、デジタル/アナログ変換器の微分非直線性誤差は正方向に1LSB以内となっている。

【0019】負方向に、大きな誤差が現れるときもあるが、正方向に誤差は1LSB以内であるので、ある基準電圧に合致するように制御する場合に用いると、デジタル/アナログ変換器の出力する電圧は1LSB以内の精度で制御できるようになる。負方向へのばらつきは制限されないので、セグメント用デジタル/アナログ変換器が出力する電流の整合のための微調整が必要でなくなり、安価になる。

【0020】また、本発明の第2の構成では、上記第1の構成のデジタル/アナログ変換器の出力と、基準信号を比較手段で比較し、その比較出力で前記デジタル/アナログ変換器を制御している。

【0021】このような構成によると、デジタル/アナログ変換器の出力は比較手段で基準信号と比較される。その比較出力で前記デジタル/アナログ変換器を制御している。この制御により、デジタル/アナログ変換器の出力が基準信号と同値になる。

【0022】デジタル/アナログ変換器の微分非直線性誤差は正方向に1LSB以内であるので、設定した出力値からいつでも1LSB以内の精度で制御することが

できる。このように、高精度な制御装置になる。

【0023】また、本発明の第3の構成では、上記第1の構成のデジタル／アナログ変換器に電圧制御発振器が接続され、前記電圧制御発振器が発振する周波数と基準周波数を位相比較手段で比較し、その比較出力で前記デジタル／アナログ変換器を制御し、それによって前記電圧制御発振器を制御している。

【0024】このような構成によると、デジタル／アナログ変換器の出力は電圧制御発振器に入力される。電圧制御発振器はデジタル／アナログ変換器が出力する電圧によって周波数を制御できる発振器であり、電圧が高くなると発振する周波数が高くなる。

【0025】この発振周波数と基準周波数は位相比較手段で比較される。もし発振周波数と基準周波数が異なっていれば、デジタル／アナログ変換器の出力を変化させ、電圧制御発振器の発振周波数を基準周波数に近づける。一方、発振周波数と基準周波数が等しければ、発振周波数を固定する。このように、発振の周波数が基準周波数と同値になる。

【0026】

【発明の実施の形態】

<第1の実施形態>本発明の第1の実施形態を図1及び図2を用いて説明する。図1は本発明のD/A変換器の一実施形態のブロック図で、抵抗Rの値以外は図7の従来例と同様な構成となっているので、上記従来例のD/A変換器(図7)と同一部分については同一の符号を付し、説明を省略する。尚、上位D/A変換回路2は上位3ビットb5~b7、下位D/A変換回路3は下位5ビットb0~b4をD/A変換しているが、D/A変換回路2、3がD/A変換するビット数は変えてもよい。

【0027】セグメントは更に分割して、3つ以上設けることもできる。また、デジタルデータ全体のビット数も、8ビットに限らず、複数ビットのデジタルデータであればよい。上位D/A変換回路2と下位D/A変換回路3はどちらも微分非直線性誤差が1LSB以内である。

【0028】従来例では、上述したように、抵抗RAは下位D/A変換回路3が出力する電流ILのフルスケールに1LSBを加えたものが、上位D/A変換回路2の最下位ビットb5が1変化したときの電流の変化に一致するように設定されていた。これに対し、本実施形態では、下位D/A変換回路3のフルスケールが上位D/A変換回路2のフルスケールを2の上位ビットb5~b7のビット数乗(即ち、2の3乗で8)で割った値以上となっている。

【0029】本実施形態のD/A変換器のD/A変換の特性図を図2に示す。入力のデジタルデータが0のとき、上位D/A変換回路2と下位D/A変換回路3は共に、電流を出力せず、電流Iは流れない。即ち、出力電圧は0となる。デジタルデータを0から開始して、1

ずつ増やすと、31以下であれば、下位ビットb0~b4が変化して下位D/A変換回路3によってデジタルデータに対応する電流ILを出力する。上位ビットb5~b7は変化がなく、電流IHは流れず、電流IはILになる。下位D/A変換回路3の直線性が良好であると、デジタルデータと出力電流Iの関係は直線的になる。

【0030】セグメントの切り換えポイント12で、下位D/A変換回路3のフルスケールが上位D/A変換回路2のフルスケールを2の3乗(即ち、8)で割った値以上になっている。そのため、出力電流Iは小さくなるか、又は、大きくなってもせいぜい、その差は1LSB以内になっている。同様に、セグメントの切り換えポイント13、14でも、D/A変換器の出力電圧Vは小さくなるか、又は、大きくなってもせいぜい、その出力差は1LSBを越えることはない。

【0031】このように、本発明のD/A変換器は微分非直線性誤差がどの部分でも正方向には1LSB以内になっている。正方向に微分非直線性誤差が1LSB以内になっているので、出力電圧Vは制御のための基準電圧から1LSB以内の範囲で制御できるようになる。

【0032】また、負方向に対しては逆向き負方向に値しては大きな誤差を持っても構わないので、ある程度余裕を持たせて抵抗Rを設定すればよい。これにより、抵抗Rの微調整を行う必要がなく、安価なD/A変換器となる。集積化する場合、集積回路内に積分器20を内蔵することもできるし、外付けにすることもできる。

【0033】<第2の実施形態>本発明の第2の実施形態を図3を用いて説明する。図3は本発明のD/A変換器22を使用した自動制御装置の一実施形態のブロック図である。この制御装置は基準電圧源5より基準電圧Vaを与えることによって、D/A変換器22が出力する電圧を自動的に設定する装置である。D/A変換器22は微分非直線性誤差がどの部分でも正方向に1LSB以内である。

【0034】D/Aデータ増減器10が出力するデジタルデータをD/A変換器22がD/A変換して電圧Vを出力する。この電圧VをA/D変換器8でデジタル信号に変換して比較器9に入力する。また、基準電圧VaもA/D変換器6でA/D変換して比較器9に入力する。

【0035】比較器9は基準電圧Vaと電圧Vを比較して、電圧Vが基準電圧Vaより大きい小さいか、又は同じであるか判断して出力する。電圧Vが基準電圧Vaより小さいと比較器9が判断すれば、D/Aデータ増減器10はデジタルデータを1つ増やす。電圧Vが基準電圧Vaより大きければ、D/Aデータ増減器10は出力するデジタルデータを1つ減らす。また、信号Vと基準電圧Vaが同じであればデジタルデータを変更し



ないで、D/Aデータ増減器10はそれまでの値を保持する。

【0036】例えば、D/Aデータ増減器10の初期データが0で、基準電圧 $V_a$ がある正の値に設定されているとする。このとき、D/A変換器11の出力電圧 $V$ は0であるので比較器9は基準電圧 $V_a$ が大きいと判断する。これにより、D/Aデータ増減器10はデジタルデータを1つ増やし、1にする。D/A変換器22は電圧 $V$ を出力するようになる。それでも電圧 $V$ が基準電圧 $V_a$ より低ければ、比較器9は $V$ より $V_a$ が大きいと判断し続け、D/Aデータ増減器10デジタルデータを増やす。基準電圧 $V_a$ と等しくなるか越えるまでデジタルデータは増加する。

【0037】もし、このとき、出力電圧 $V$ と基準電圧 $V_a$ が一致すれば、電圧 $V$ は $V_a$ で固定となる。もし、一致せず、出力電圧 $V$ が基準電圧 $V_a$ より大きくなれば、数値データ16の近傍でD/Aデータ増減器10はデジタルデータを振動するように出力するが、微分非直線性誤差が正方向に1LSB以内であるので、出力電圧 $V$ の変動は小さい。また、D/Aデータ増減器10の開始時のデジタルデータによらないで、制御する。

【0038】このように、高性能のD/A変換器を用いなくても、基準電圧 $V_a$ に高精度の制御が行われる。セグメントの切り換えポイント12~14(図2参照)では出力が大きく変化することがあるが、ある基準電圧 $V_a$ に合致するように出力電圧 $V$ を制御するときには、必ず1LSB以内の誤差の範囲で制御するので、全く問題がない。

【0039】また、A/D変換器6、8でA/D変換されたデータを適当に加工して制御をすることもできる。例えば、A/D変換器6でA/D変換された基準電圧 $V_a$ を何倍かに大きくしたデータに変更すると、小さな基準電圧 $V_a$ でD/A変換器22の出力電圧 $V$ を制御することができるようになる。更に、制御の基準には電圧 $V_a$ でなくても、デジタル信号に変換できるものであれば、電流でも抵抗でもよい。或いはデジタル信号そのものであってもよい。

【0040】<第3の実施形態>本発明の第3の実施形態を図4に示す。この第3の実施形態もD/A変換器22を使用した自動制御装置である。尚、図4において図3と同一の部分については同一の符号を付し、説明を省略する。D/A変換器22の出力電圧 $V$ を比較14に入力する。比較器14は基準電圧源5の電圧 $V_a$ と電圧 $V$ を比較する。

【0041】電圧 $V_a$ が $V$ よりも大きければ比較器14の出力はハイレベルになり、カウンタ15のデジタルデータが1つ増える。するとD/A変換器22が出力する電圧 $V$ が増加する。電圧 $V$ が基準電圧 $V_a$ を越えるまでデジタルデータが増加し、電圧 $V$ が基準電圧 $V_a$ を越えると、比較器14の出力はローレベルになり、カウ

ンタ15のデジタルデータの出力は一定になる。

【0042】それで、D/A変換器22の出力する電圧 $V$ は一定となり、負荷12に対して一定の電圧 $V$ が与えられる。但し、カウンタ15はデジタルデータの出力を増加方向にしか制御しないので、リセット信号が入力されると、デジタルデータを0にするようにする。まずリセット信号でカウンタ15のデジタルデータを0にしてから、制御を開始する。これにより、D/A変換器22の出力する電圧 $V$ が少しずつ高くなりながら、基準電圧 $V_a$ に制御される。

【0043】ここで用いられているD/A変換器22が、もし図7に示す従来のD/A変換器であった場合、例えばセグメントの切り換えポイント53の直前で出力電圧 $V$ が基準電圧 $V_a$ より、ほんのわずかに小さくなっていたとする。そして、デジタルデータが1つ増加すると、出力電圧 $V$ が正方向に大きくばらついているので、出力電圧 $V$ が基準電圧 $V_a$ から大きく離れて固定してしまう。これでは制御の精度が悪い。

【0044】しかし、本発明のD/A変換器22を用いることにより、図2に示すようにセグメントの切り換えポイント12~14では正方向へのばらつきが1LSB以内である。セグメントの切り換えポイント12~14で大きく負方向にばらついていたとする。その直前で出力電圧 $V$ が基準電圧 $V_a$ より、ほんのわずかに小さく、デジタルデータが1つ増加しても、出力電圧 $V$ は基準電圧 $V_a$ よりも低いままである。次のセグメントの切り換えポイントまでは直線性が良好であるので、基準電圧 $V_a$ に近い値で出力電圧 $V$ が固定する。

【0045】このように高価なD/A変換器を使用しなくても、本発明の制御装置は高精度で制御することができ、低コストである。本実施形態の制御装置は、例えばバンドパスフィルタ等の、電圧制御フィルタの電圧自動調整回路として使用できる。尚、電圧分割器(図示せず)を設け、電圧 $V$ を分割してから比較器14に入力するようにすると、基準電圧 $V_a$ が小さい値で、電圧 $V$ を制御できるようになる。また、基準電圧 $V_a$ を電圧分割器(図示せず)で分割すると、基準電圧 $V_a$ で小さい電圧 $V$ が制御できるようになる。

【0046】<第4の実施形態>本発明の第4の実施形態を図5を用いて説明する。図5において図3と同一の部分には同一の符号を付し、説明を省略する。電圧制御発振器(VCO)19は電圧で周波数を制御できる発振器であり、電圧が高くなると発振周波数は高くなる。まず、カウンタ18にリセット信号が入力される。

【0047】すると、カウンタ18はデジタルデータの最小値を出力し、D/A変換器22は最小の電圧 $V$ を出力する。デジタルデータの最小値は電圧制御発振器19が最低の周波数 $F_{out}$ で発振するように設定されている。発振周波数 $F_{out}$ は位相コンパレータ17に入力される。

【0048】位相コンパレータ17は基準発振器16の基準周波数 $F_{ref}$ と電圧制御発振器19の発振周波数 $F_{out}$ を比較し、 $F_{ref}$ が $F_{out}$ より高周波であるときに1パルス発生する。カウンタ18はこのパルスが入力されると、デジタルデータを1つ加える。これにより、D/A変換器22の出力する電圧 $V$ が高くなり、電圧制御発振器19が発振する周波数 $F_{out}$ が高くなる。

【0049】このようにして、 $F_{out}$ は最低の発振周波数からしだいに高くなり、 $F_{ref}$ と等しくなるか、 $F_{ref}$ より高周波になると、位相コンパレータ17はパルスを発生しなくなり、周波数 $F_{out}$ が固定となる。上記第3の実施形態で説明したときと同様に、基準周波数 $F_{ref}$ に対して大きく離れて固定するという状態は発生しない。周波数 $F_{out}$ は基準周波数 $F_{ref}$ に近い周波数で固定となる。

【0050】本実施形態の制御装置は一種のPLL (Phase Locked Loop)回路であり、例えばハイファイビデオテープレコーダの音声キャリアの発振器として使用できる。このように、本発明の低コストのD/A変換器を用いても、高価なD/A変換器を用いたときと同程度の精度で電圧制御発振器19を制御することが可能である。

【0051】

【発明の効果】

<請求項1の効果>D/A変換器の各セグメントには微分非直線性誤差が1LSB以内のD/A変換手段を使用している。各セグメントのフルスケールは上位セグメントのD/A変換器のフルスケールを、そのセグメントについて2のビット数乗で割った値以上となっている。これにより、D/A変換器の微分非直線性誤差が正方向に1LSB以内となっている。このように、正方向へのばらつきが小さいので、高精度の制御を行うことができる。また、正方向にばらつかないようにすればよいので、D/A変換器が安価になる。

【0052】<請求項2の効果>D/A変換器が安価で

あるので、制御装置のコストが下がる。D/A変換器の微分非直線性が正方向に1LSB以内であるので、基準信号に対して、D/A変換器の出力を制御すれば、高精度の制御装置になる。

【0053】<請求項3の効果>D/A変換器が安価であるので、電圧制御発振器の出力する周波数の制御装置のコストが下がる。D/A変換器の微分非直線性が正方向に1LSB以内であるので、基準周波数に対して、電圧制御発振器の出力する周波数が高精度に制御できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態のD/A変換器のブロック図。

【図2】 そのD/A変換器の特性図。

【図3】 本発明の第2の実施形態の制御装置のブロック図。

【図4】 本発明の第3の実施形態の制御装置のブロック図。

【図5】 本発明の第4の実施形態の制御装置のブロック図。

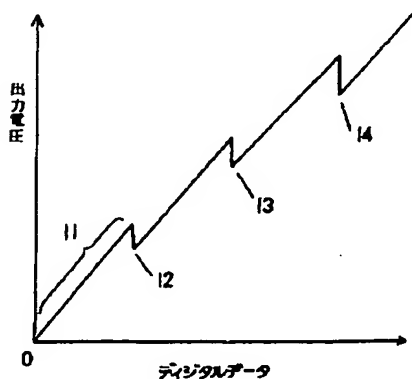
【図6】 従来のD/A変換器の特性図。

【図7】 そのD/A変換器のブロック図。

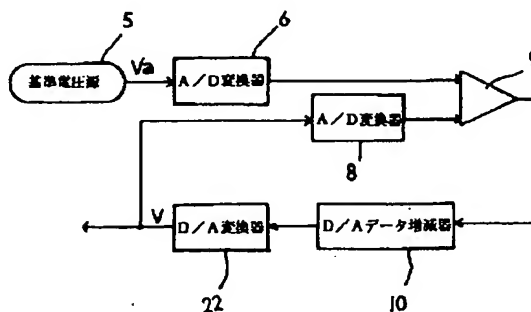
【符号の説明】

- 2 上位D/A変換手段
- 3 下位D/A変換手段
- 4 電流合成器
- 5 基準電圧源
- 9 デジタル信号比較器
- 16 基準発振器
- 17 位相コンパレータ
- 15 カウンタ
- 19 電圧制御発振器
- 20 積分器
- 21 演算増幅器
- 22 D/A変換器
- R 抵抗

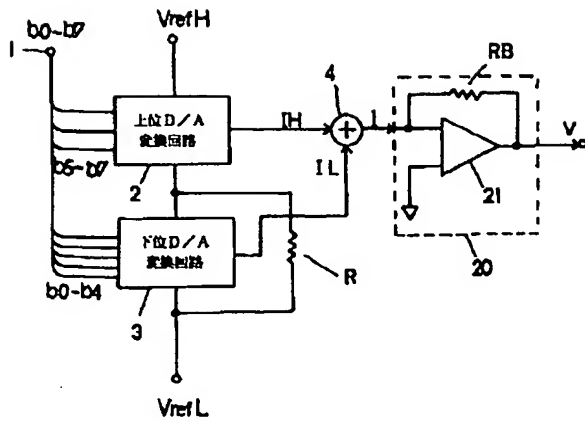
【図2】



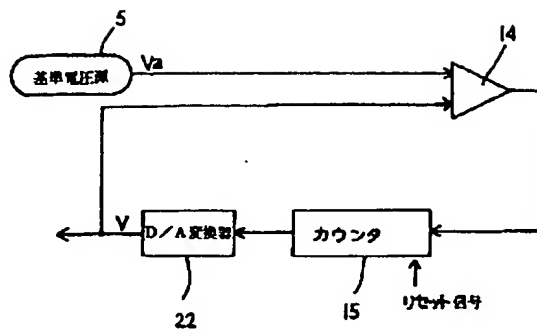
【図3】



【図1】

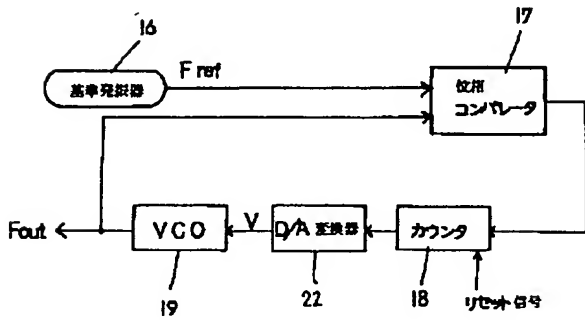


【図4】

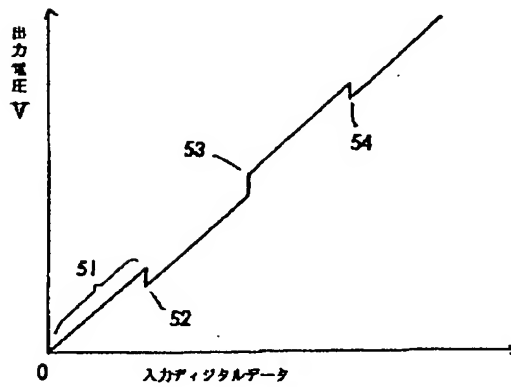
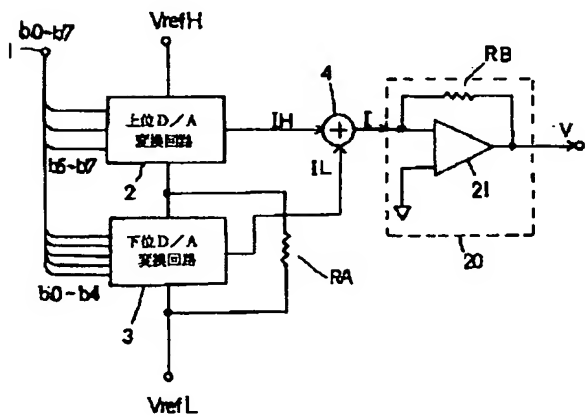


【図6】

【図5】



【図7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**